

Introduction à l'Electronique Numérique

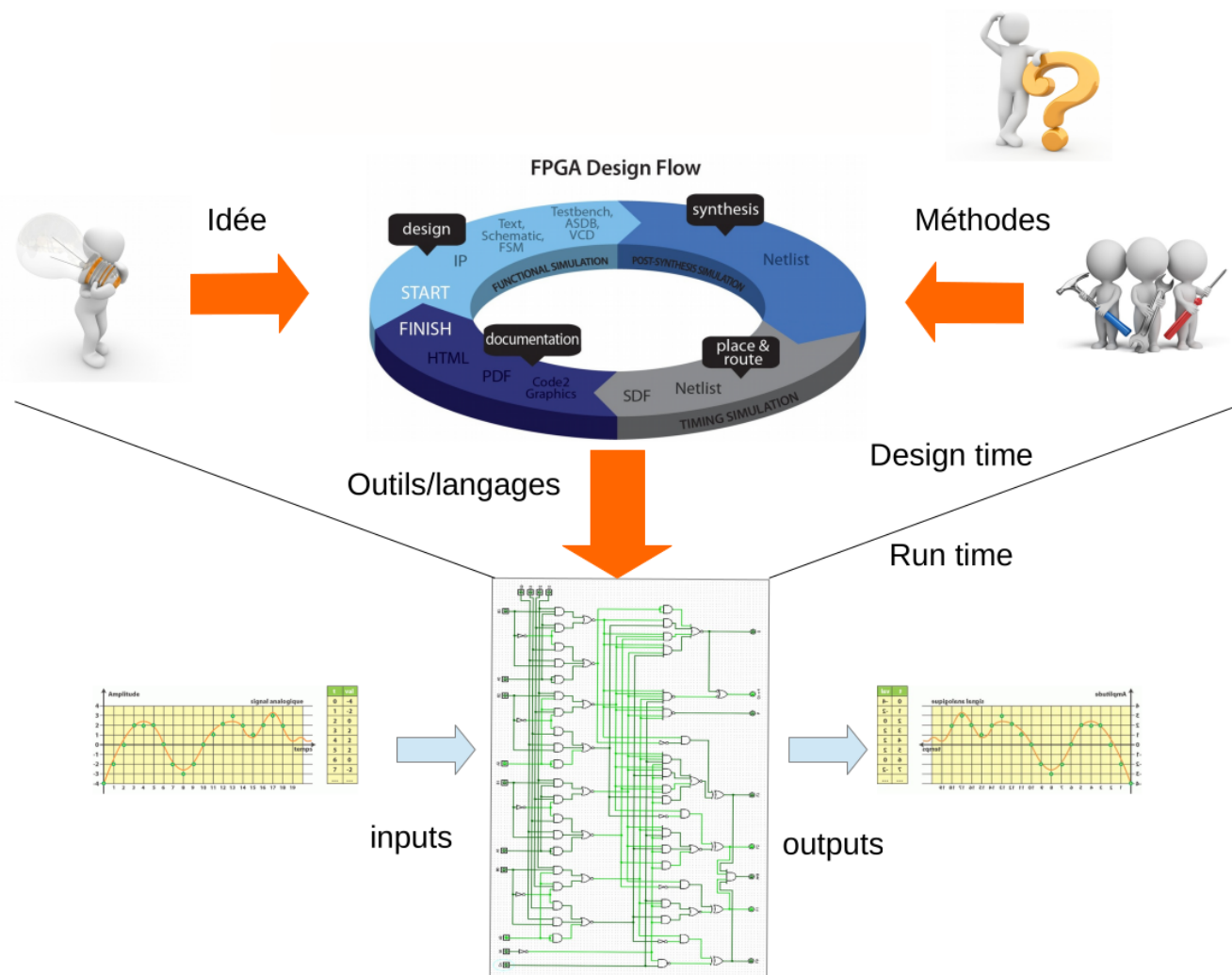
Jean-Christophe Le Lann

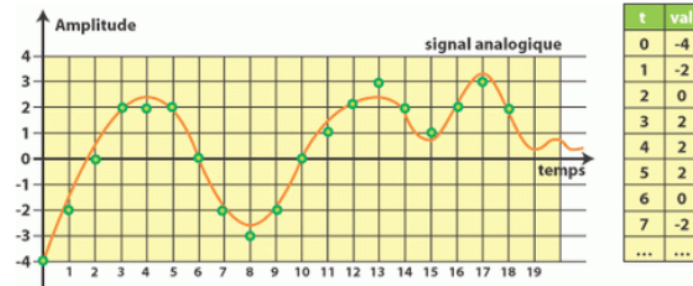
Cours 1A

14 septembre 2026



De l'idée au circuit





Deux numérisations :

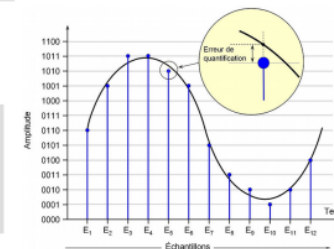
- Numérisation verticale : les données
- Numérisation horizontale : le temps



Maîtrise / reproductibilité des traitements



Nouvelles problématiques



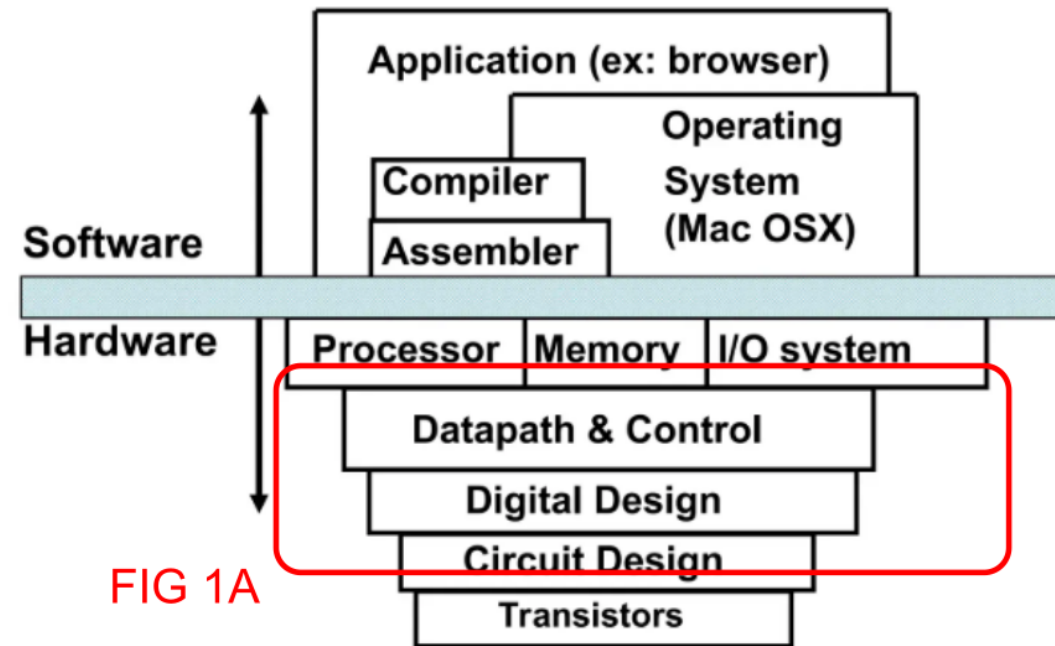
- ① Physique des semi-conducteurs et micro-électronique : un aperçu
- ② Technologie CMOS : Complementary Metal Oxyde Semiconductor
- ③ Montée en abstraction
- ④ Représentations numériques

① Comprendre les fondements de la conception des systèmes numériques :

- ▶ Logique booléenne : combinatoire et séquentielle.
- ▶ Calcul sur silicium, chemin de données
- ▶ Machines d'états finis : contrôleurs / automates
- ▶ Principe des Micro-architectures
- ▶ Initiation à VHDL au niveau logique et structurel

② Premiers pas vers les systèmes embarqués :

- ▶ Processeurs, périphériques, communication



1– Physique des semi-conducteurs et micro-électronique : un aperçu

Le Silicium : élément chimique

Tableau périodique des éléments chimiques

Groupe → I A
 Période ↓
 1
 2
 3
 4
 5
 6
 7

← nom de l'élément (gaz, liquide ou solide à 0°C et 101,3 kPa)
 ← numéro atomique
 ← symbole chimique
 ← masse atomique relative (ou celle de l'isotope le plus stable)
 © I. CIAAW "Atomic Weights 2013" - rev. 2015

0 1 2 3 4
 1s
 2s 2p
 3s 3p 3d
 4s 4p 4d 4f
 5s 5p 5d 5f 5g
 6s 6p 6d 6f 6g
 7s 7p ...
 11

14 28.086
Si
 Silicium
 [Ne] 3s² 3p²
 Métalloïde

$1s^2 2s^2 2p^6 3s^2 3p^2 = [\text{Ne}] 3s^2 3p^2$

- **Couche K (n=1)** : 2 électrons (1s²) → couche pleine.
- **Couche L (n=2)** : 8 électrons (2s² 2p⁶) → couche pleine (règle de l'octet).
- **Couche M (n=3)** : 4 électrons (3s² 3p²) → couche incomplète.

4 électrons
de valence

Métaux Non métaux
 Lanthanides Actinides Métaux de transition Métaux pauvres Métalloïdes Autres non-métaux Halogènes Gaz nobles Non classés
 primordial pré-intégration d'autres éléments synthétique

① **Extraction** : réduction carbothermique de la silice

- ▶ Réaction chimique à 3000° : $\text{SiO}_2 + 2\text{C} \rightarrow \text{Si (liquide)} + 2\text{CO (gaz)}$
- ▶ Source de carbone : charbon, coke,...
- ▶ Pureté 98-99.5 % insuffisante pour l'Electronique (silicium métallurgique MG-Si)

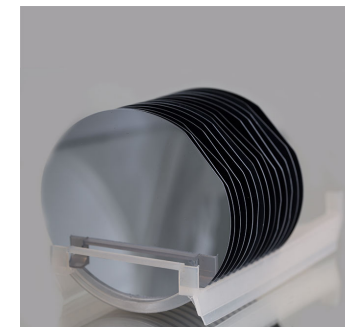
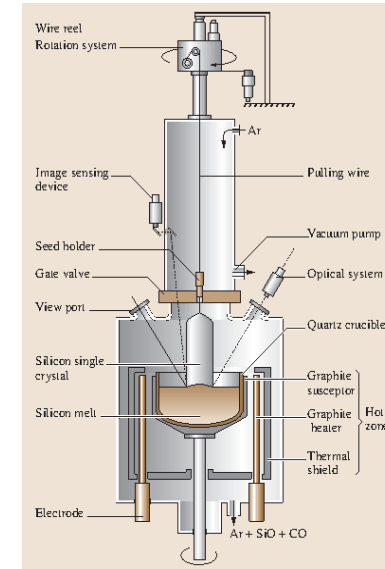
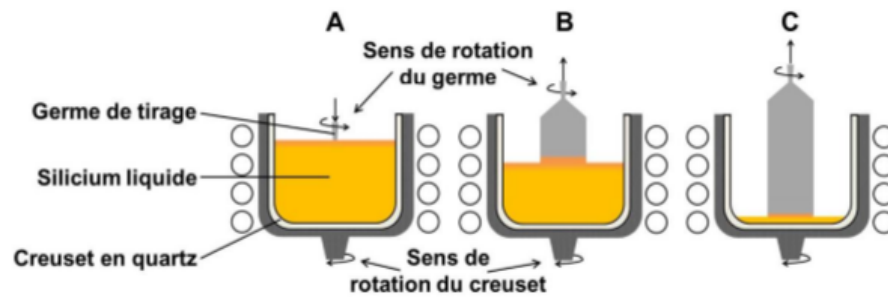
② **Purification** : Procédé **Siemens**

- ▶ Hydrochloration du silicium métallurgique : trichlorosilane SiHCl_3 (gazeux)
- ▶ $\text{Si} + 3\text{HCl} \rightarrow \text{SiHCl}_3 + \text{H}_2$
- ▶ Distillation : chauffage à 1100° . Décomposition et obtention de "germes".
- ▶ Pureté 99.9999999% (polycristallin) voire plus pour l'Electronique.

③ **Obtention d'un monocristal** : Procédé **Czokralski**

- ▶ Fusion et germination.
- ▶ Tirage et rotation.
- ▶ Formation du lingot.

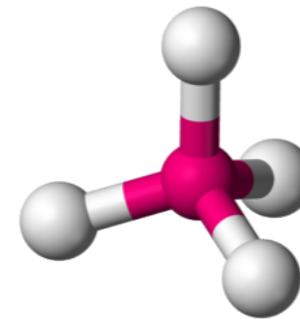
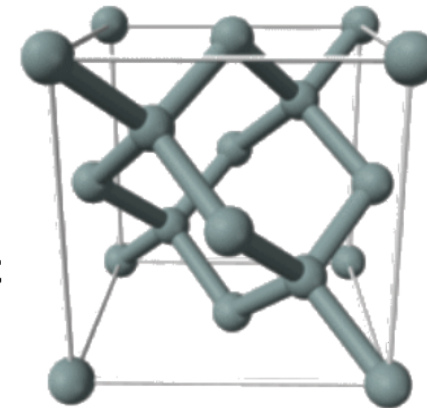
Le Silicium : méthode Czokralski

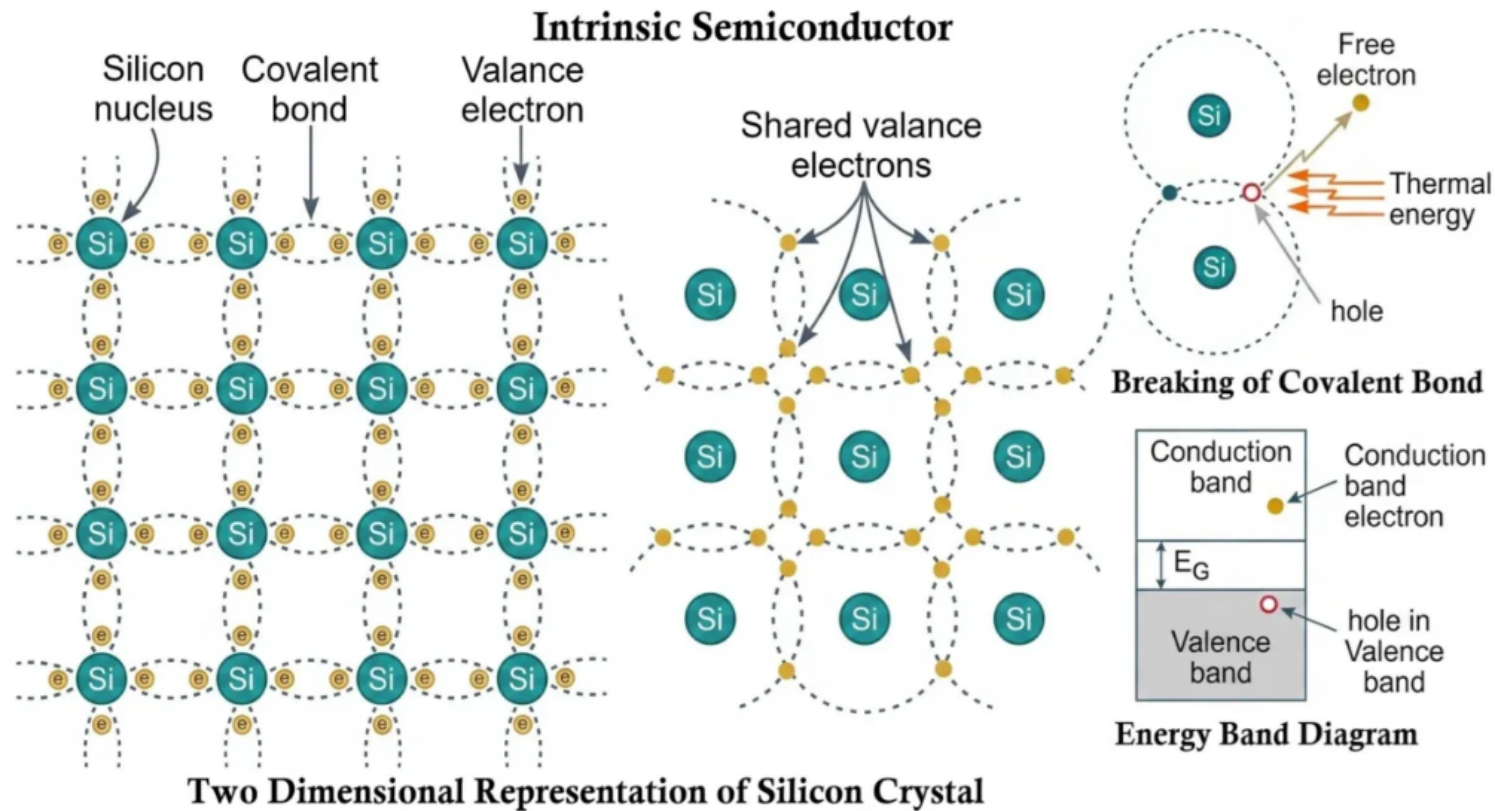


Machine ECM Greentech. Lingot de Silicium monocristalin

wafer

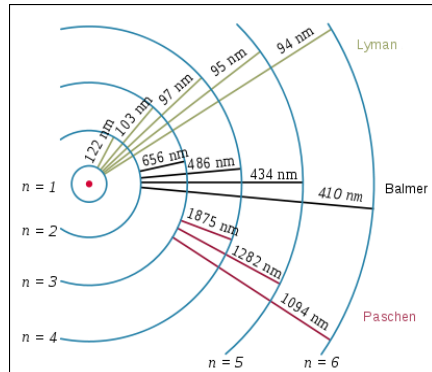
- ▶ Inter-pénétration de **deux** réseaux diamant Cubique face centrée (CFC)
- ▶ Second réseau décallé du premier d'un **quart** de la diagonale principale
- ▶ Le réseau de Bravais sous-jacent reste un réseau CFC unique, mais associé à un motif à deux atomes de silicium : $(0,0,0)$ et $(a/4,a/4,a/4)$
- ▶ Chaque atome de silicium est lié à 4 autres atomes de silicium, qui forment un **tétraèdre**
- ▶ L'angle entre les **paires de liaisons** est de **109°**



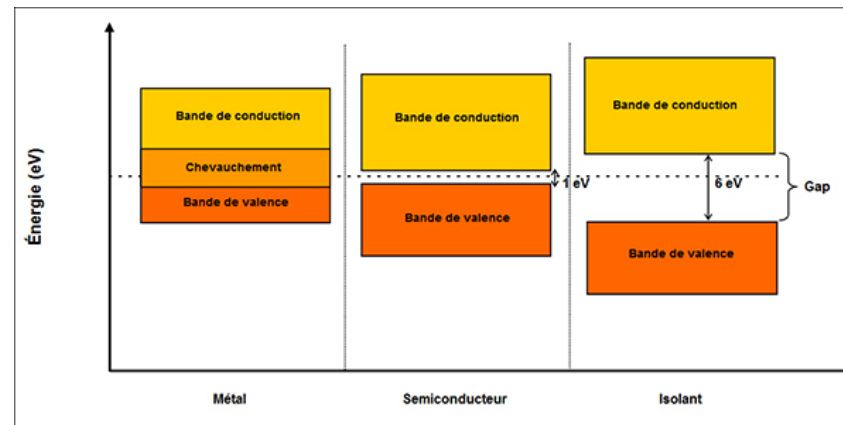
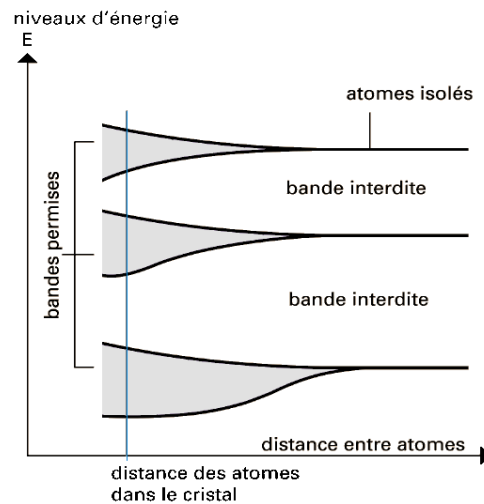
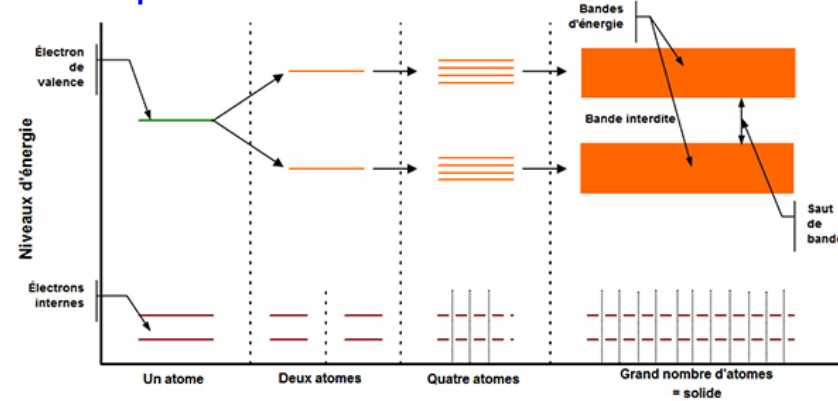


Attention : notez que cette abstraction 2D est éloignée de la réalité 3D

Le Silicium : théorie des bandes



Principe d'exclusion de Pauli



[<https://www.iutenligne.net>]

- ▶ On modifie **fortement** la conductivité du silicium par insertion contrôlée d'impuretés.

- rapport d'environ 1 atome dopant pour 10^4 à 10^9 atomes de silicium

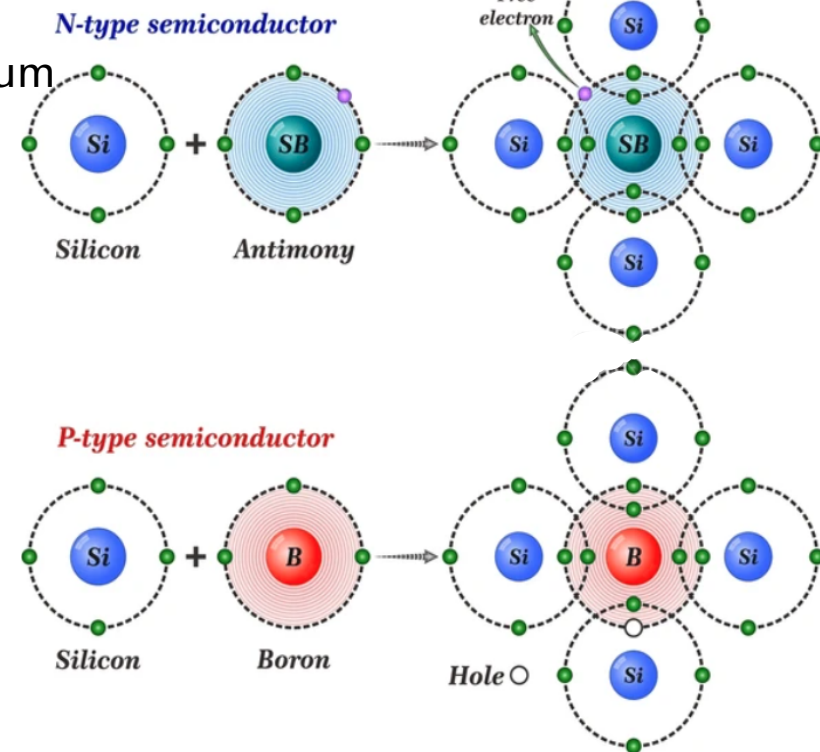
- ▶ Deux types d'impuretés :
donneurs ou **accepteurs** d'électrons

- ▶ Deux types de déplacements de charges :

- courant d'électrons

- courant de trous

Semiconductor Doping



On dispose ainsi de 3 types de silicium : intrinsèque, type N, type P.

① Mise en contact et diffusion

- ▶ **Loi de Fick** : les porteurs majoritaires diffusent.
- ▶ Les électrons de N vers P, les trous de P vers N
- ▶ **Recombinaisons** au voisinage immédiat de l'interface.

② La **zone de déplétion** (ZCE) : zone vidée de ses porteurs libres

- ▶ côté N : des ions donneurs positifs non compensés
- ▶ côté P : des ions accepteurs négatifs non compensés
- ▶ ZCE : région dépourvue de porteurs mobiles mais chargée électriquement.

③ **Champ interne** et barrière de potentiel

- ▶ un champ électrique interne $\vec{E}$, orienté de N vers P, qui s'oppose à la diffusion.

④ Équilibre dynamique :

- ▶ Une barrière de potentiel V_0 s'établit (environ 0,7 V pour le silicium).
- ▶ Le courant de diffusion (dû au gradient) équilibre exactement le courant de conduction (dû au champ électrique).
- ▶ Le niveau de Fermi E_F devient continu à travers tout le matériau.

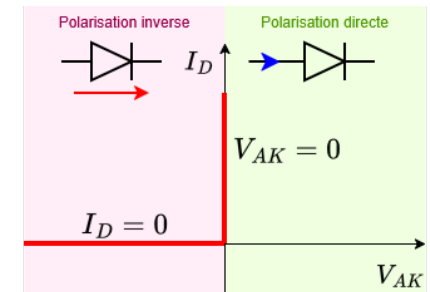
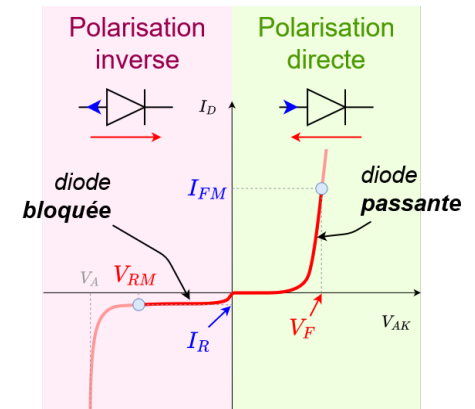
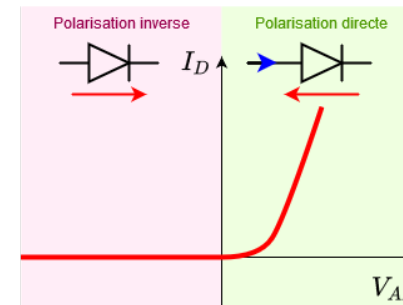
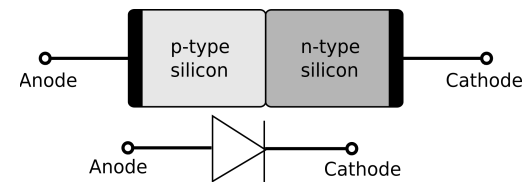
Jonction P-N : polarisation

① Polarisation directe

- ▶ + côté P, - côté N.
 - La tension externe s'oppose au champ interne.
 - la barrière de potentiel diminue. la ZCE se rétrécit.
 - la diffusion des majoritaires redevient dominante.
 - le courant croît exponentiellement avec V.
- ▶ Loi de Shockley : $I = I_0(e^{V/V_T} - 1)$

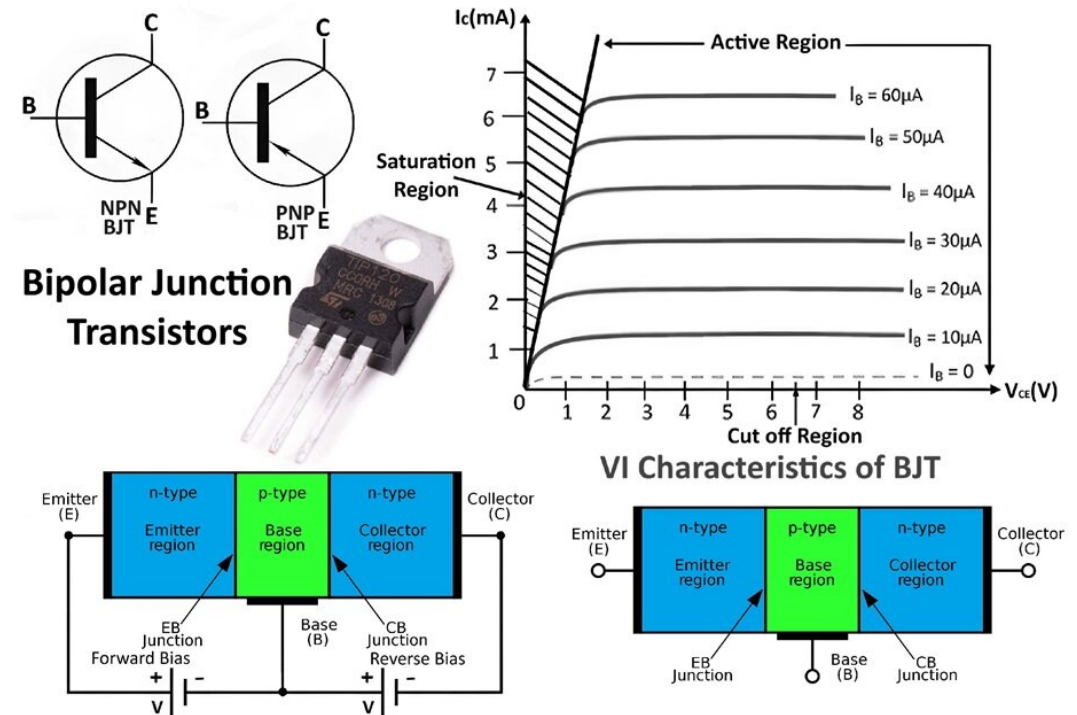
② Polarisation inverse

- ▶ champ externe renforce le champ interne
- ▶ la ZCE s'élargit
- ▶ très faible courant



Transistor bipolaire : structure

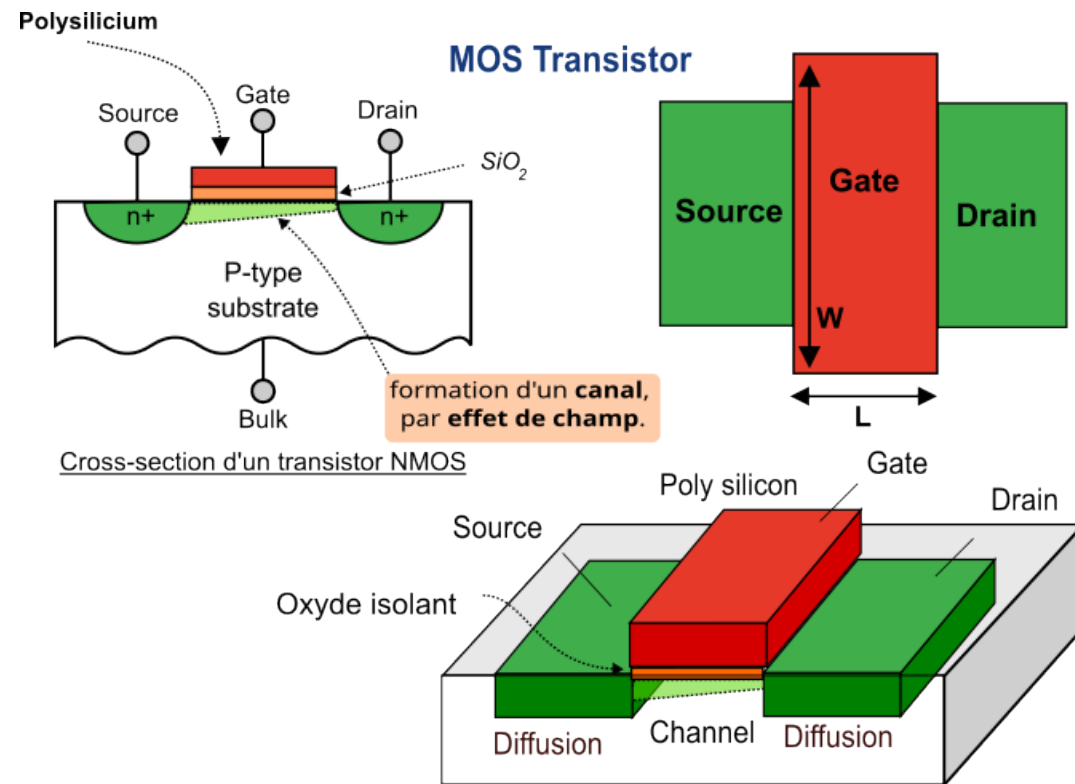
- Deux jonctions PN dos-à-dos : type NPN ou PNP
- Trois régions : émetteur, base, collecteur
- Base fine et faiblement dopée
- Jonction émetteur-base polarisée en direct
- Jonction base-collecteur polarisée en inverse
- Effet transistor : le courant de base contrôle le courant de collecteur



- Gain en courant $\beta = I_C / I_B$ (typiquement 50 à 300)
- Régime actif : amplification (usage analogique)
- Régime saturé : interrupteur fermé (les 2 jonctions en direct)
- Régime bloqué : interrupteur ouvert (les 2 jonctions en inverse)
- Relation fondamentale : $I_E = I_B + I_C$
- Applications : amplification, commutation, logique TTL

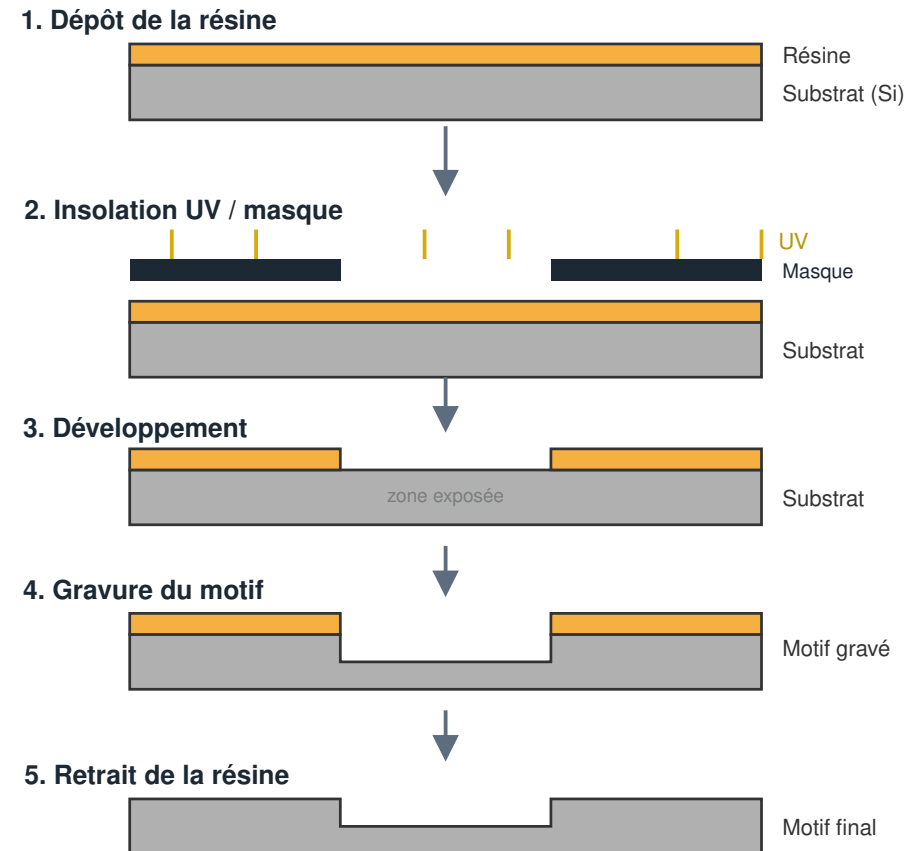
Transistors MOS (nmos)

- Transistor à **effet de champ** (FET) à canal N, constitué d'un substrat P, de deux zones N+ (Source et Drain) et d'une grille isolée par un oxyde (SiO_2).
- Commande **par la tension** grille-source V_{GS}
- Création un canal conducteur (ou non) d'électrons entre Source et Drain.
- Inconvénient : un inverseur NMOS utilise une résistance de pull-up.

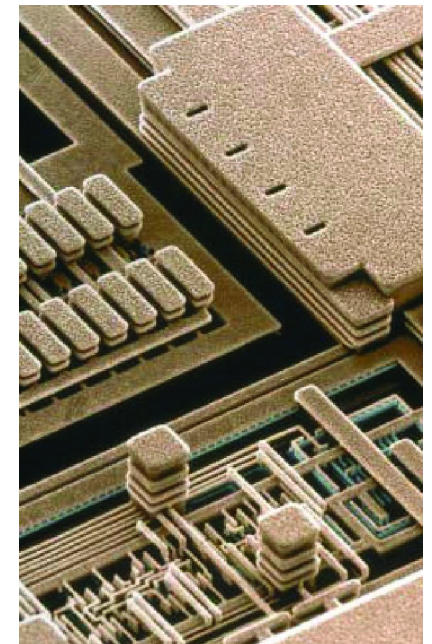
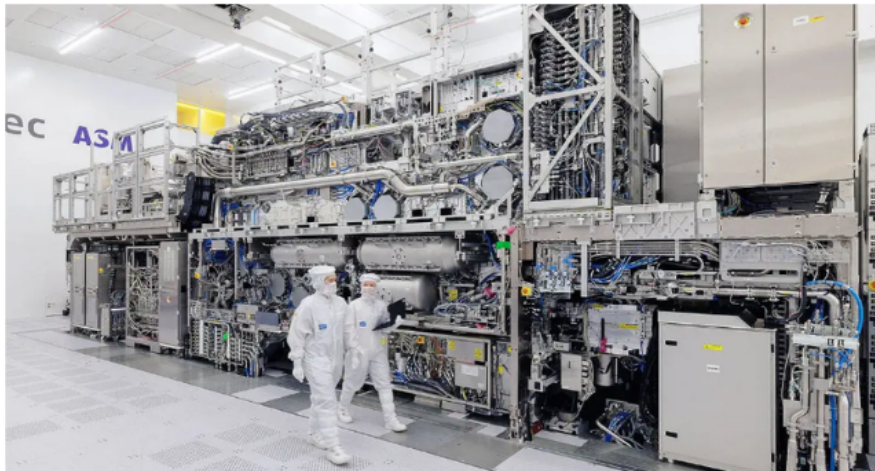
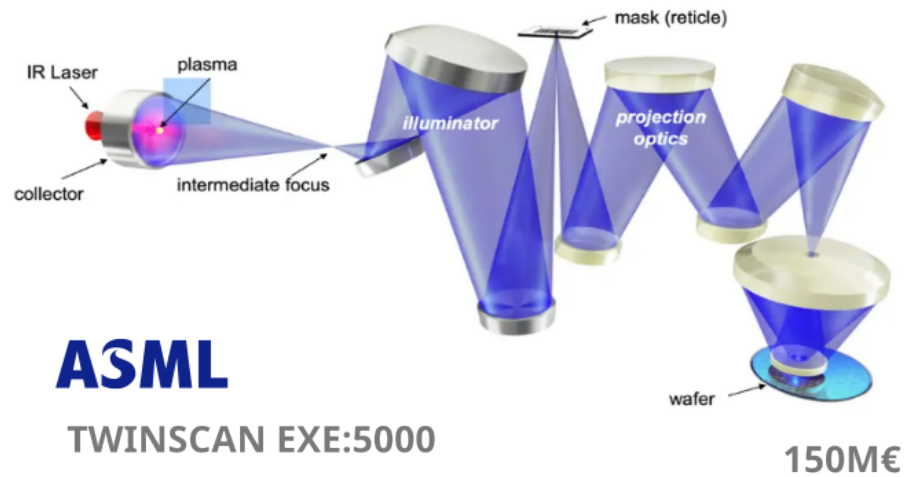


Le procédé de photolithographie

- **Principe** : transférer un motif géométrique d'un masque vers une résine photosensible déposée sur une plaquette (*wafer*)
- **Dépôt** : enduction centrifuge (*spin coating*) d'un film uniforme
- **Insolation** : exposition UV à travers un masque optique portant le motif
- **Développement** : dissolution sélective des zones exposées (résine positive) ou non exposées (négative)
- **Gravure** : transfert du motif dans le substrat (voie humide ou plasma)
- **Retrait** de la résine (*stripping*)
- Résolution limitée par la diffraction $\Rightarrow$ UV profond, immersion, EUV



ASML : le leader de la photo-lithographie

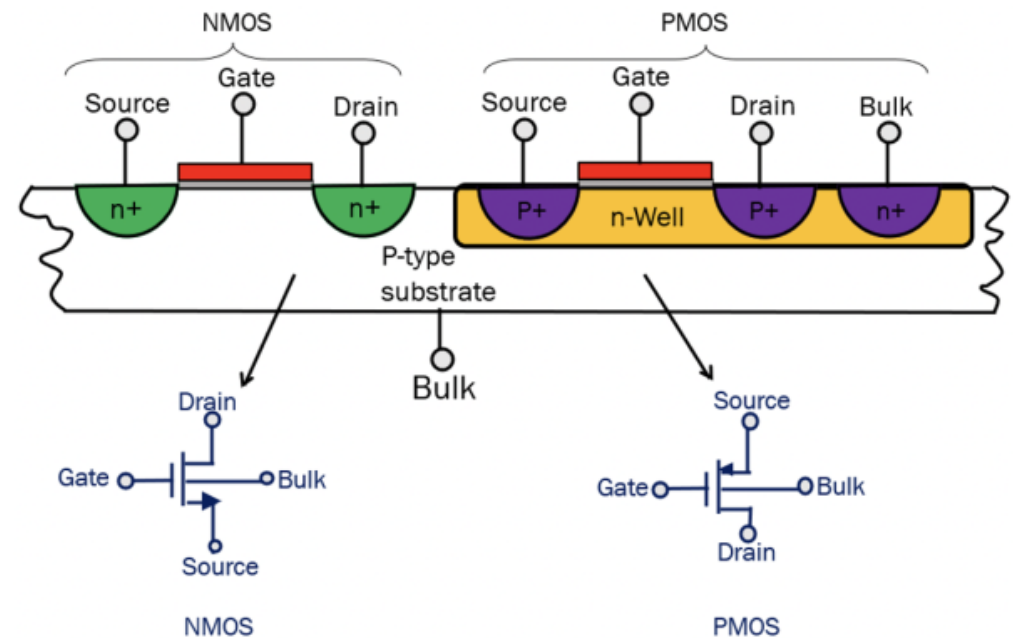


2– Technologie CMOS : Complementary Metal Oxyde Semiconductor

Paradigme dominant

Fondement de la microélectronique numérique actuelle

- Association de transistors **NMOS** et **PMOS** sur un même substrat.
- NMOS : conduit lorsque la grille est à V_{DD}
- PMOS : conduit lorsque la grille est à 0 V
 - ▶ Se substitue à la résistance de pull-up du NMOS.
 - ▶ Montage **dual** : série $\Leftrightarrow$ parallèle.
- Effet de champ : la **tension** de grille contrôle le canal.
- Isolation par **oxyde de grille** $\Rightarrow$ haute impédance d'entrée.



Le modèle de Schichman–Hodges : caractéristiques $I_D(V_{DS})$

Physique

Caractérisation du comportement *analogique* du MOS.

1. Blocage ($V_{GS} - V_T \leq 0$)

$$I_D = 0$$

2. Zone linéaire ($0 < V_{DS} < V_{GS} - V_T$)

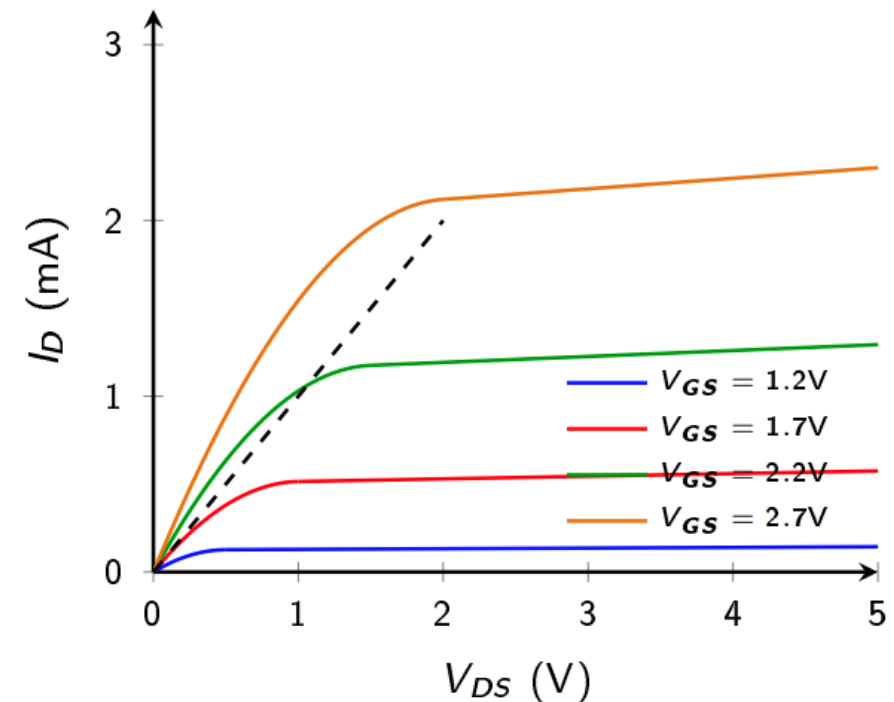
$$I_D = k_n \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] (1 + \lambda V_{DS})$$

3. Saturation ($V_{DS} \geq V_{GS} - V_T$)

$$I_D = \frac{k_n}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

$k_n = \mu_n C_{ox}$ (transconductance) $\cdot V_T$ (seuil) $\cdot \lambda$
(modulation de canal) $\cdot W/L$ (géométrie)

Un seul jeu d'équations décrit tout le comportement, du blocage à la saturation.

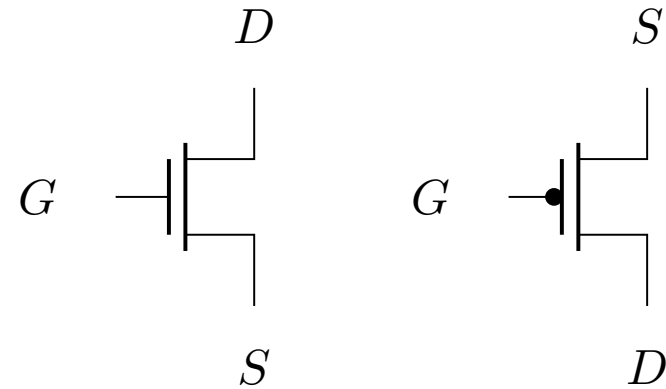


Transistor NMOS

- Conduit (interrupteur fermé) si **Grille = 1**
- Bloqué si Grille = 0
- Transmet bien un **0** logique

Transistor PMOS

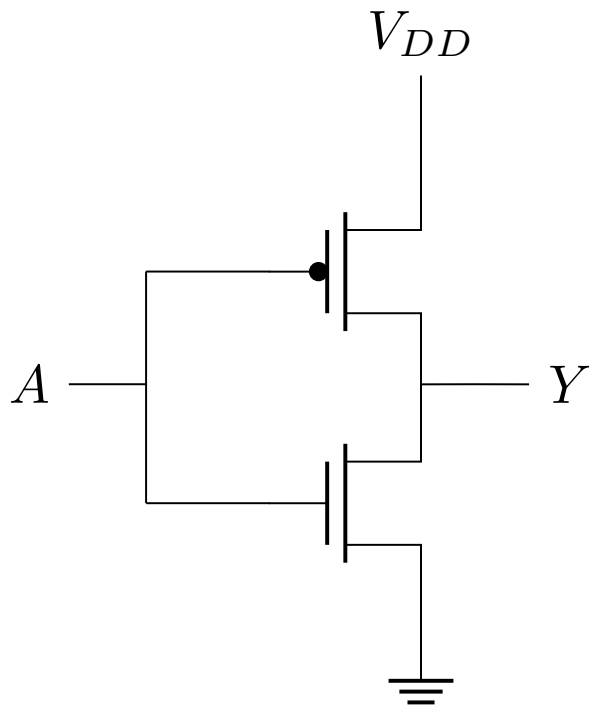
- Conduit (interrupteur fermé) si **Grille = 0**
- Bloqué si Grille = 1
- Transmet bien un **1** logique



Entrée grille	NMOS	PMOS
0	bloqué	passant
1	passant	bloqué

Idée fondatrice du CMOS

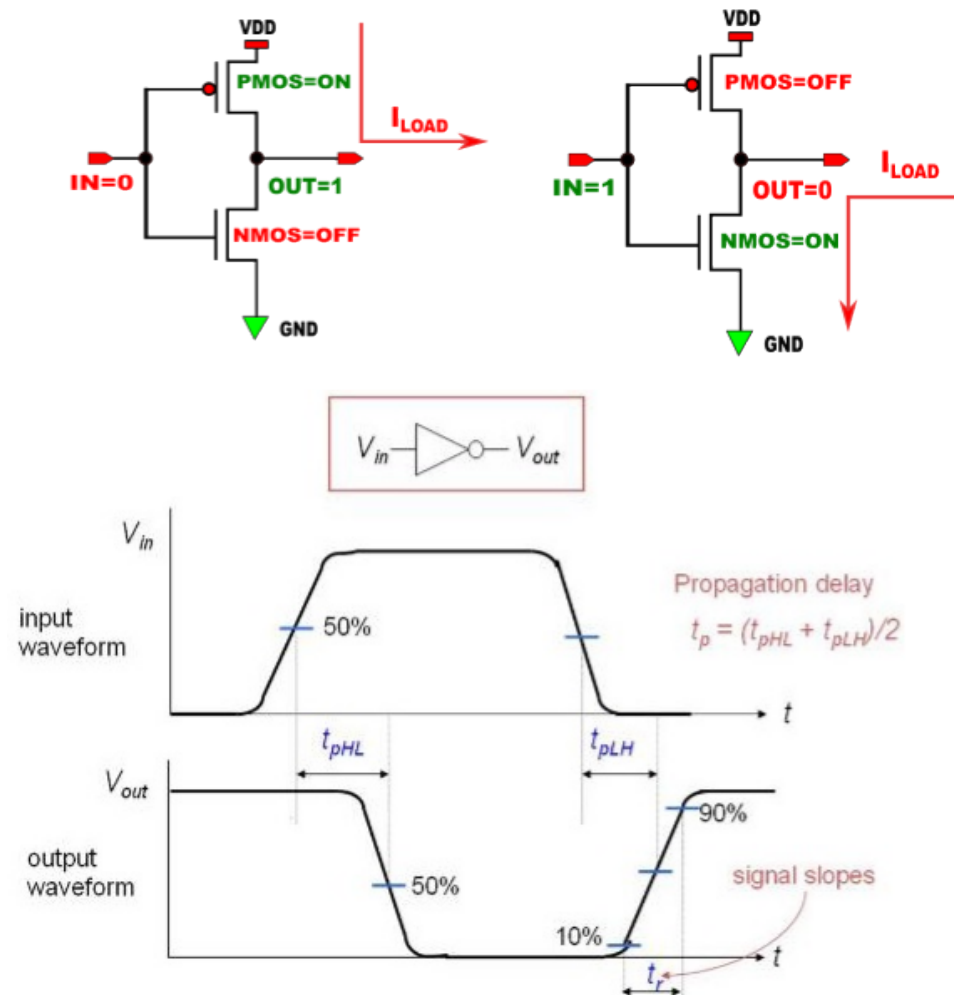
On associe systématiquement un réseau de NMOS (relié à la masse) et un réseau de PMOS *dual* (relié à l'alimentation V_{DD}) pour qu'à chaque instant **un seul** des deux réseaux conduise.



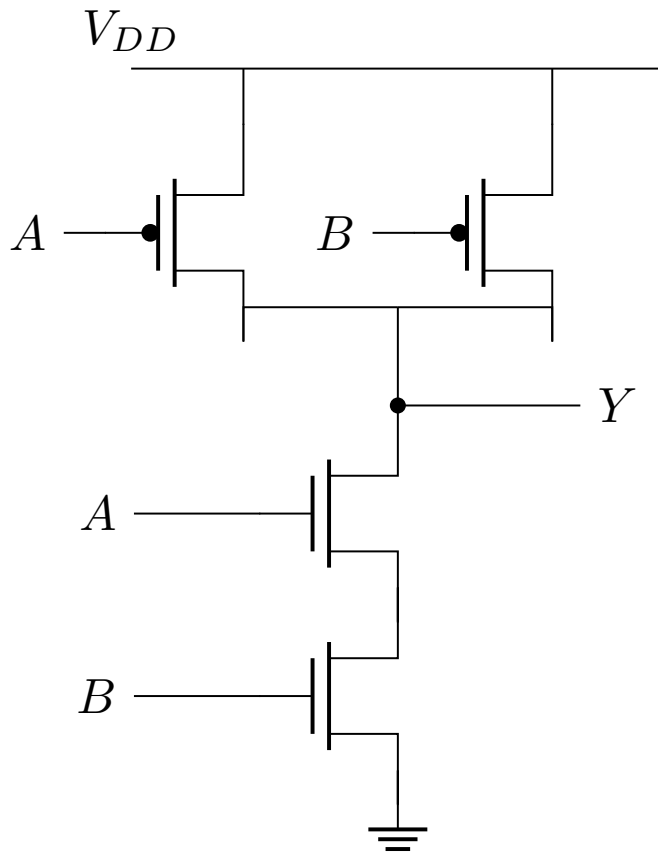
- Entrée A commune aux deux grilles
- PMOS en haut (côté V_{DD})
- NMOS en bas (côté masse)
- Si $A = 0$: PMOS passant, NMOS bloqué $\Rightarrow Y = 1$
- Si $A = 1$: PMOS bloqué, NMOS passant $\Rightarrow Y = 0$

$$Y = \overline{A}$$

L'inverseur CMOS : chronogramme



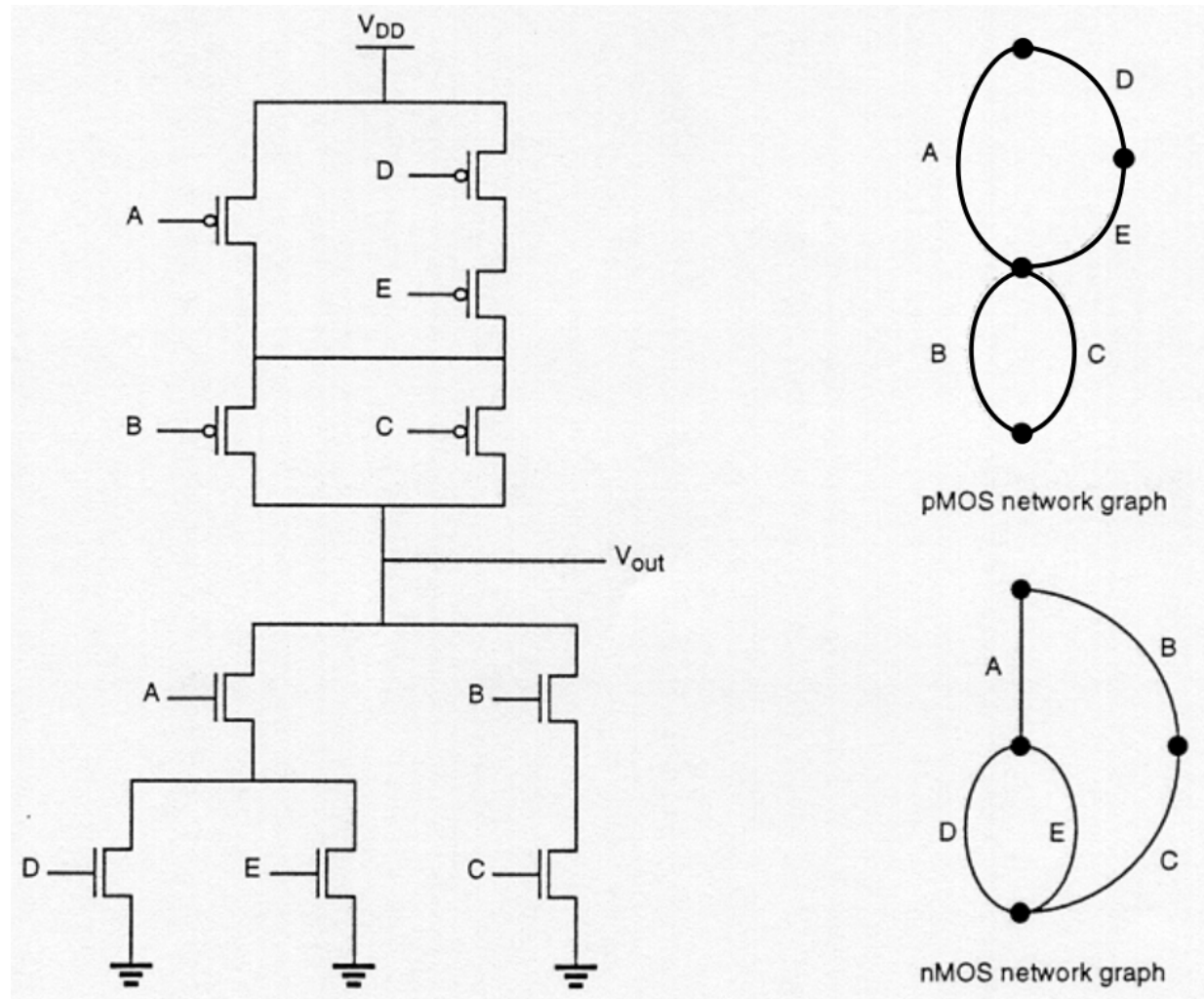
Porte NAND à 2 entrées : montage dual



- NMOS A et B en **série** $\rightarrow$ conduit seulement si $A = 1$ ET $B = 1$
- PMOS A et B en **parallèle** (dual)
- $Y = 0$ uniquement si $A = B = 1$
$$Y = \overline{A \cdot B}$$

- En régime statique, un seul chemin conducteur existe entre V_{DD} et Y , ou entre Y et la masse — jamais les deux.
- Conséquence : **pas de consommation statique** (hors fuites), contrairement aux logiques NMOS seules (résistance de charge) ou bipolaires.
- La consommation du CMOS est essentiellement **dynamique** : elle a lieu lors des commutations (charge/décharge des capacités de sortie).

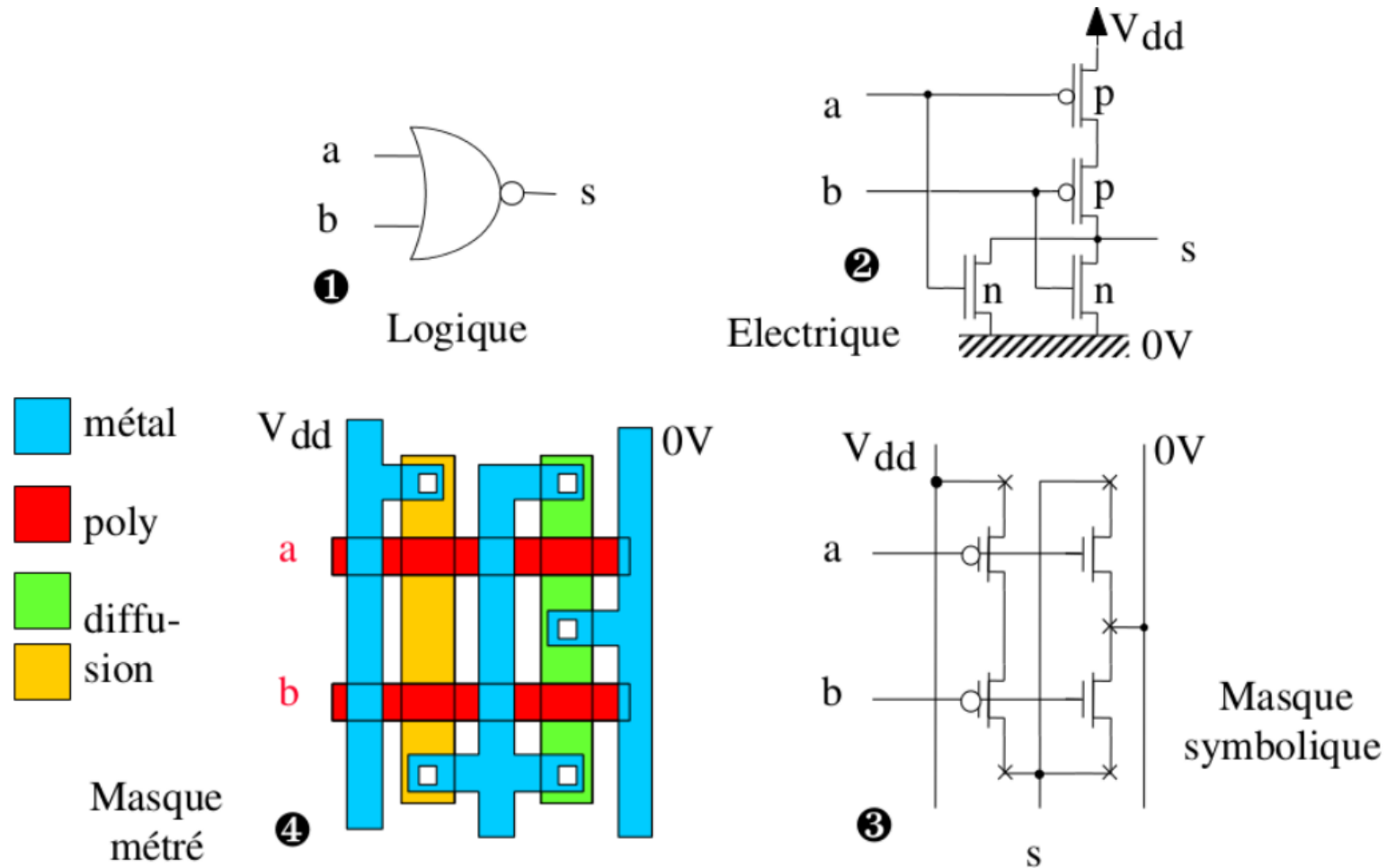
Dualité N-P en CMOS : autre exemple



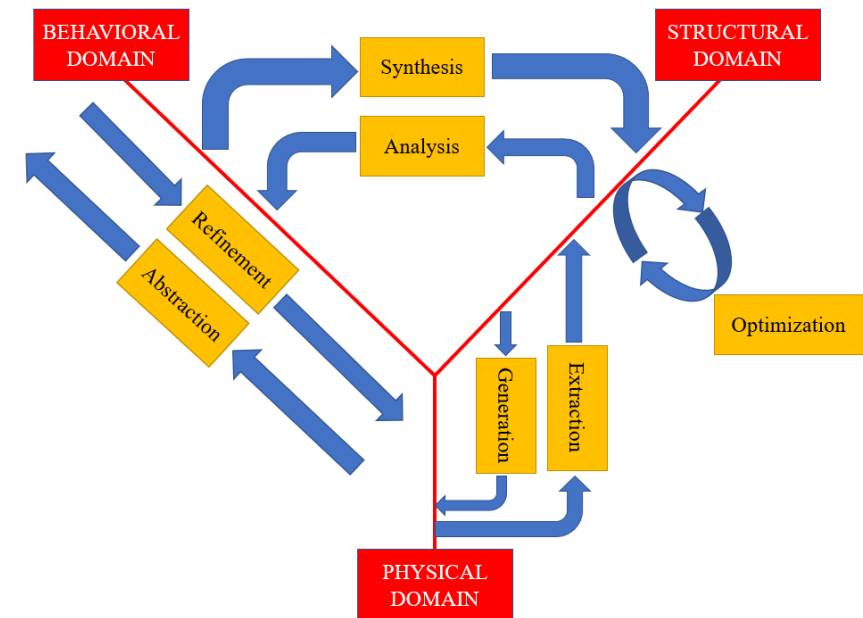
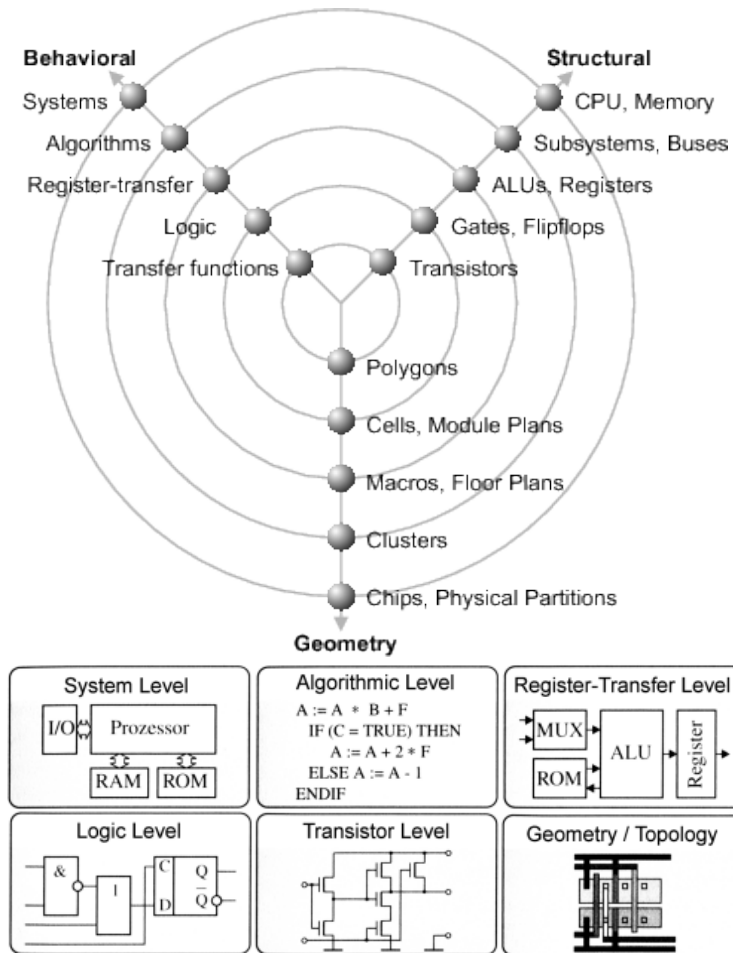
3– Montée en abstraction

Conception des Portes logiques : plusieurs niveaux d'abstraction

[Guyot TIMA 1995]



Conception des Systèmes numériques : Y de Gajski



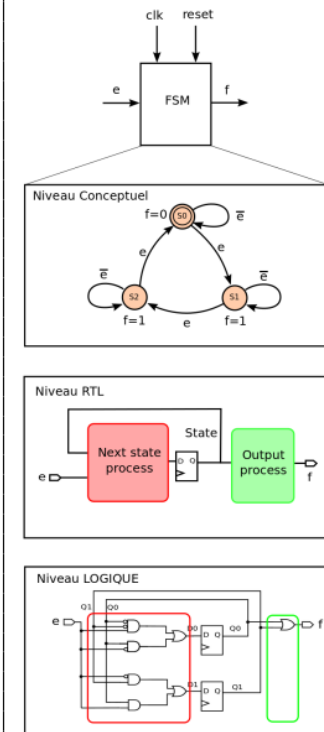
- Complexité des systèmes
- Recours à des langages spécifiques : HDL.
 - ▶ Description
 - ▶ Simulation (laboratoire virtuel)
 - ▶ Synthèse automatique
- ...à différents niveaux d'abstraction.

```
architecture RTL of FSM is
  type state_type is (S0,S1,S2);
  signal state,next_state : state_type;
begin

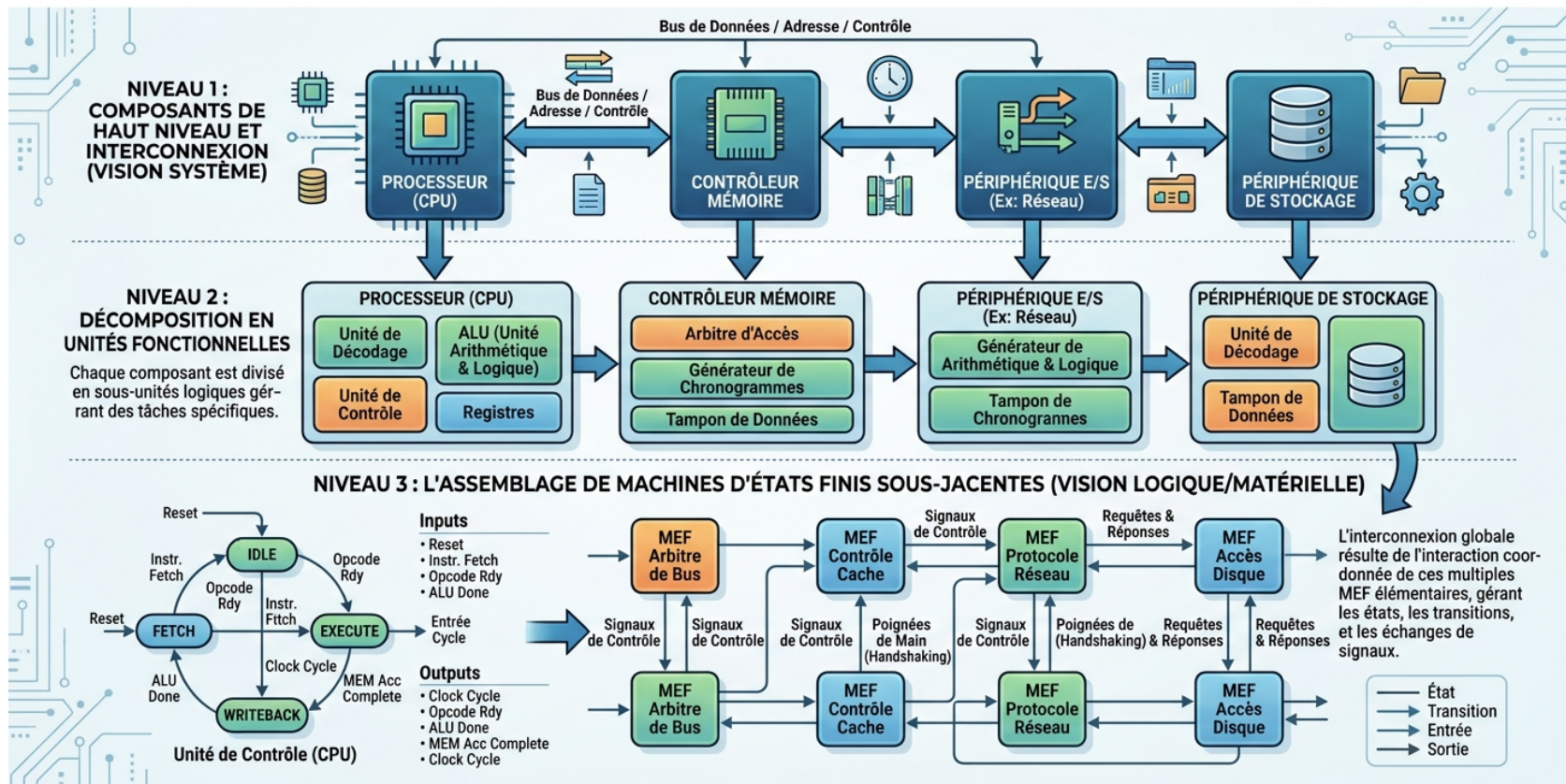
  -- description des bascules d'etat
  state: process(reset_n,clk)
  begin
    if reset_n='0' then
      state <= S0;
    elsif rising_edge(clk) then
      state <= next_state;
    end if;
  end process;

  -- transition 'function'
  next_state_logic : process(state,e)
  begin
    next_state <= state; -- default
    case state is
      when S0 =>
        if e='1' then
          next_state <= S1;
        end if;
      when S1 =>
        if e='1' then
          next_state <= S2;
        end if;
      when S2 =>
        if e='1' then
          next_state <= S0;
        end if;
      when others =>
        null;
      end case;
    end process;

  -- output 'function' :
  output_logic : process(state)
  begin
    if state=S0 then
      f <= '0';
    else
      f <= '1';
    end if;
  end process;
end RTL;
```

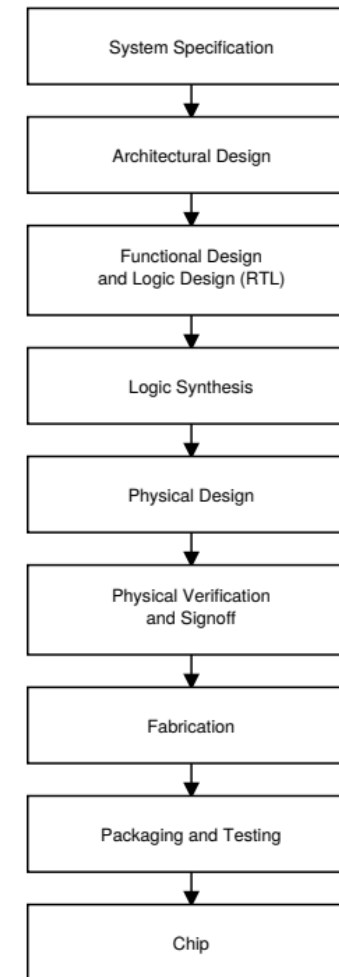


L'INTERCONNEXION DE HAUT NIVEAU : UN ASSEMBLAGE DE MACHINES D'ÉTATS FINIS (MEF)

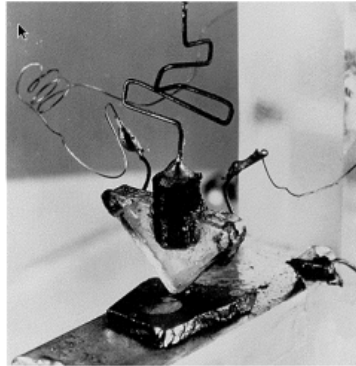


Electronic Design Automation (EDA) :

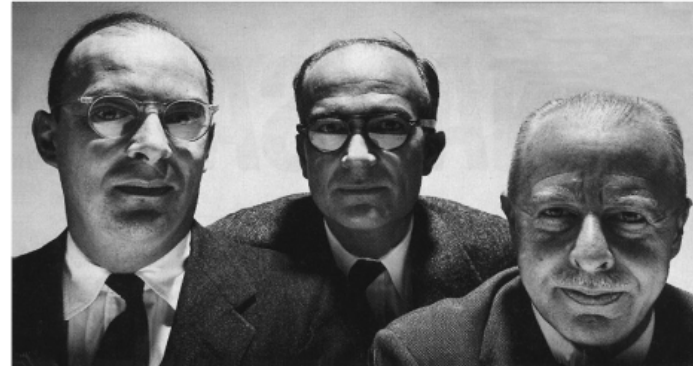
- **Spécification système** : besoins et fonctionnalités
- **Conception architecturale** : partitionnement HW/SW
- **Conception fonctionnelle et RTL** : description HDL (Verilog/VHDL)
- **Synthèse logique** : RTL → netlist de portes
- **Conception physique** : placement et routage
- **Vérification physique et signoff** : DRC, LVS, STA
- **Fabrication** : gravure sur wafer (silicium)
- **Packaging et test** : mise en boîtier, tests
- **Puce finale** : circuit intégré prêt à l'emploi



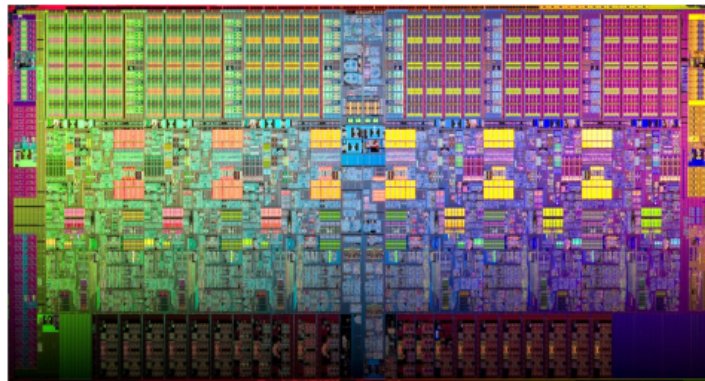
Du transistor (1947) au xeon d'Intel



23 décembre 1947 Bell laboratories



Bardeen, Shockley, Brattain

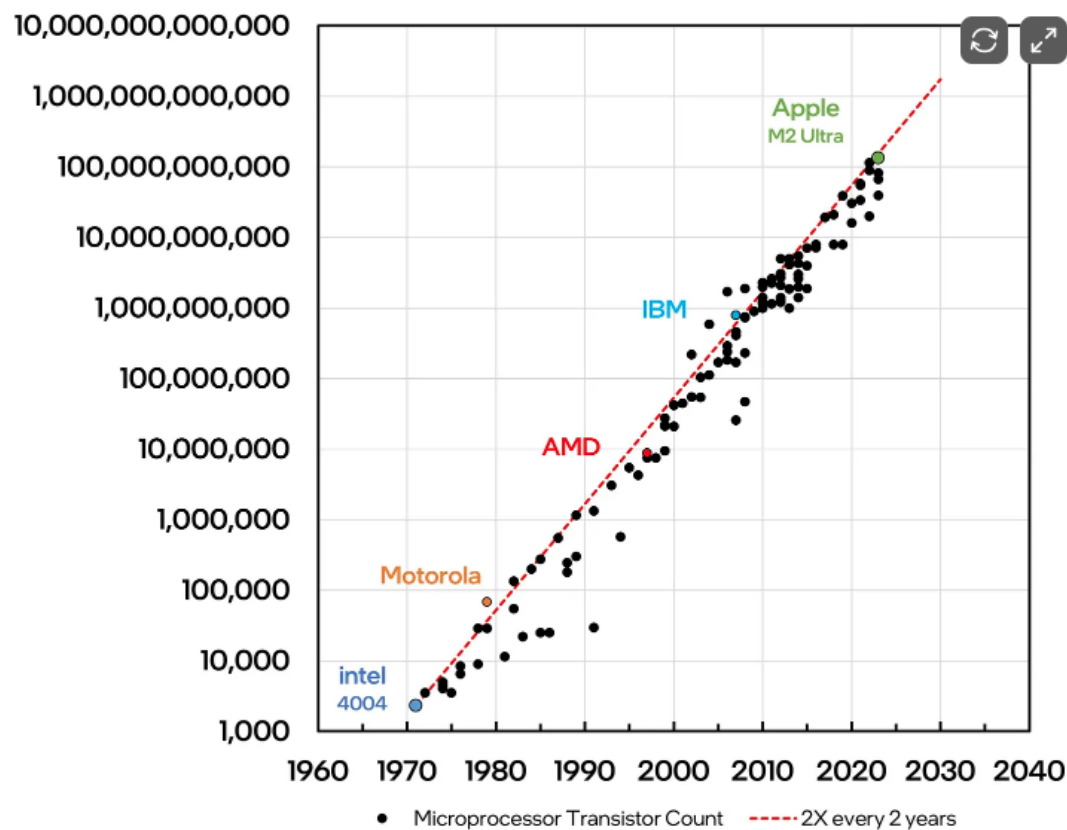


Environ 2 Milliards de transistors

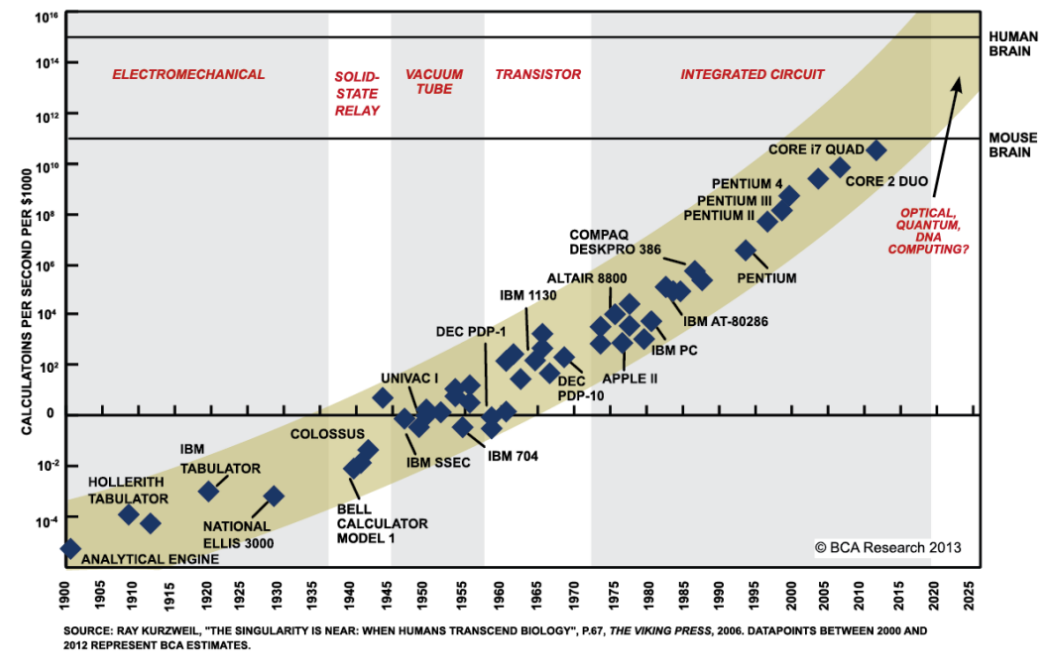
Intel XEON 5680 Core 6 (2010 – obsolete → Cf Xeon Phi) - gravure 32nm
6 coeurs (processeurs) + mémoire cache + contrôleur mémoire + interconnect

Jalons historiques : loi de Moore

- Doublement du nombre de transistors tous les 18 mois.



- Perspective historique plus large.



1971 : Intel 4004

Le cas des mémoires :

1956



1990-2011



3Mb

2015



80 000 x



Pile h=80km !



Pile h=80m



512 Gb

« There is room at the bottom » R.P.Feynman